

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-126474
(43)Date of publication of application : 11.05.2001

(51)Int.CI.

G11C 11/407

(21) Application number : 11-300322

(71)Applicant : HITACHI LTD

(22) Date of filing : 22.10.1999

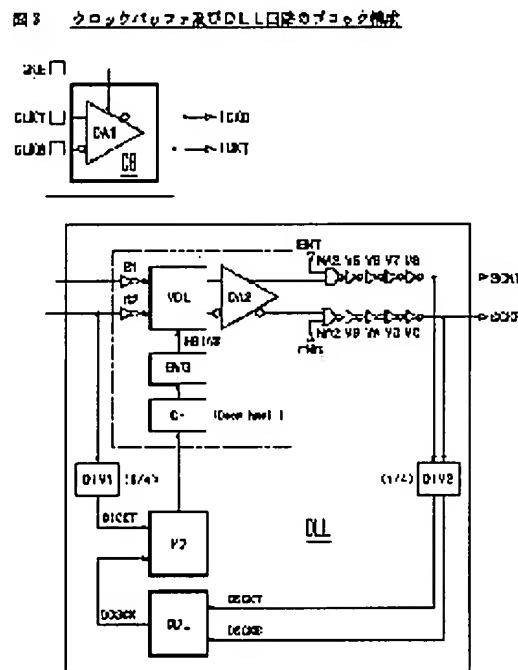
(72)Inventor : **SAIKI YOZO**
AOYAMA SATOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To increase operation speed of a synchronous DRAM, etc., and a system including this and to reduce power consumption by improving an output phase synchronous characteristic of a synchronous DRAM and the like having a double data rate mode and provided with a DLL circuit, and reducing its current consumption.

SOLUTION: A dummy unit output buffer and a dummy unit input buffer of a dummy delay circuit DDL included in a DLL circuit DLL are not imitated by a simple type delay circuit, they have circuit constitution which is substantially same as a regular data output buffer and a clock buffer CB and can trim a delay time. Also, the dummy unit input buffer of the DLL circuit DLL is replaced by a clocked inverter having a delay characteristic being substantially same as a differential amplifier circuit DAI of the clock buffer CB and requiring no steady operation current, while frequency dividing circuits DIV1 and DIV2 are provided respectively at preceding stages of a phase comparing circuit PD and the dummy delay circuit DDL, and operation periods of the DLL circuit DLL and the phase comparing circuit PD are made quarter of a clock period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-126474

(P2001-126474A)

(43)公開日 平成13年5月11日 (2001.5.11)

(51)Int.Cl.*

G 11 C 11/407

識別記号

F I

テ-マコ-ト(参考)

G 11 C 11/34

3 6 2 S 5 B 0 2 4

3 5 4 C

審査請求 未請求 請求項の数4 O L (全24頁)

(21)出願番号 特願平11-300322

(22)出願日 平成11年10月22日 (1999.10.22)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 斎木 陽造

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 青山 智

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100081938

弁理士 徳若 光政

Fターム(参考) 5B024 AA01 AA15 BA21 BA29 CA11

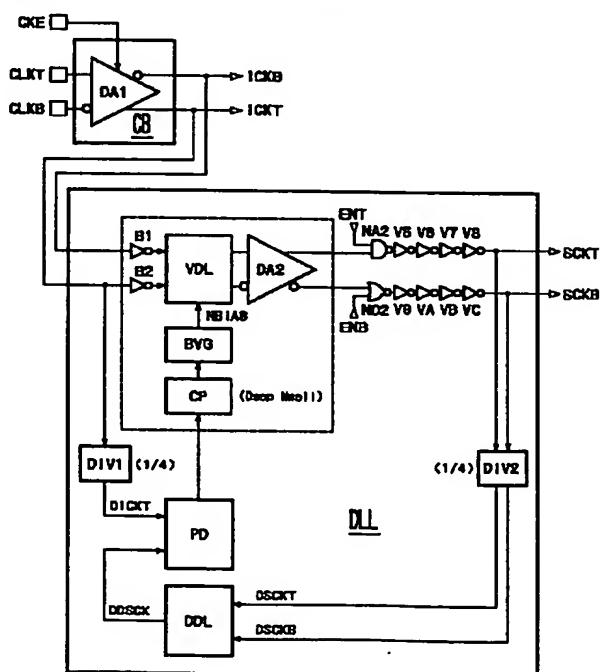
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 ダブルデータレートモードを有しDLL回路を備えるシンクロナスDRAM等の出力位相同期特性を改善し、その消費電流を低減して、シンクロナスDRAM等及びこれを含むシステムの高速化及び低消費電力化を図る。

【解決手段】 DLL回路DLLに含まれるダミー遅延回路DDLのダミー単位出力バッファ及びダミー単位入力バッファを、簡略型の遅延回路で模擬せず、正規のデータ出力バッファ及びクロックバッファCBと実質同一の回路構成とし、その遅延時間をトリミングできる構成とする。また、DLL回路DLLのダミー単位入力バッファを、クロックバッファCBの差動増幅回路DA1と実質同一の遅延特性を有し、定常的な動作電流を必要としないクロックドインバータに置き換えるとともに、位相比較回路PD及びダミー遅延回路DDLの前段に、分周回路DIV1及びDIV2をそれぞれ設け、DLL回路DLL及び位相比較回路PDの動作周期をクロック周期の四分の一とする。

図3 クロックバッファ及びDLL回路のブロック構成



【特許請求の範囲】

【請求項1】 第1の外部端子から入力されるクロック信号をもとに、第1の内部クロック信号を生成するクロック入力回路と、
 第2の内部クロック信号に従って、第2の外部端子から所定の出力信号を出力する出力回路と、
 上記第2の外部端子における上記出力信号の位相と上記第1の外部端子における上記クロック信号の位相とが同期すべく上記第1の内部クロック信号を遅延させ、上記クロック信号と所定の位相関係を有する上記第2の内部クロック信号を生成するD L L回路とを具備するものであって、かつ、

上記D L L回路が、

その上記第1の内部クロック信号に対する遅延時間が所定のバイアス電圧の電位に応じて選択的に切り換えられる可変遅延回路と、

上記出力回路、及び該出力回路の出力端子から上記第2の外部端子までの信号経路と実質同一の遅延特性を有し、上記第2の内部クロック信号をもとに第3の内部クロック信号を生成するダミー出力回路、ならびに、上記クロック入力回路、及び上記第1の外部端子から上記クロック入力回路までの信号経路と実質同一の遅延特性を有し、上記第3の内部クロック信号をもとに第4の内部クロック信号を生成するダミー入力回路を含むダミー遅延回路と、

実質的な上記第1の内部クロック信号と上記第4の内部クロック信号の位相を比較し、その位相差に応じて上記バイアス電圧の電位を制御する位相比較回路とを含んでなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記クロック入力回路は、差動増幅回路を含むものであり、

上記出力回路は、第1の電源電圧と上記第2の外部端子との間に設けられる第1の出力MOSFET、及び上記第2の外部端子と第2の電源電圧との間に設けられる第2の出力MOSFETを含むものであって、

上記ダミー入力回路は、上記差動増幅回路と実質同一の遅延特性を有するクロックドインバータを含むものであり、

上記出力回路は、上記第1及び第2の出力MOSFETをそれぞれスケールダウンしてなる第1及び第2のダミーMOSFET、ならびに該第1及び第2のダミーMOSFETにそれぞれ並列形態に設けられ、選択的に有効とされるそれぞれ複数の第3及び第4のダミーMOSFETを含むものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項1又は請求項2において、

上記ダミー遅延回路は、上記第2の内部クロック信号の周期を所定数倍に分周してなる第5の内部クロック信号をもとに上記第3の内部クロック信号を生成するもので

(2)
2
あって、

上記位相比較回路による位相比較動作は、該第3の内部クロック信号をもとに生成される上記第4の内部クロック信号と、上記第1の内部クロック信号の周期を上記所定数倍に分周してなる第6の内部クロック信号との間で行われるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、請求項2あるいは請求項3において、

10 上記半導体集積回路装置は、ダブルデータレートモードを有するシンクロナスDRAMであり、
 上記出力回路は、
 第1の出力信号を保持する第1の出力ラッチと、
 第2の出力信号を保持する第2の出力ラッチと、
 上記第2の内部クロック信号の第1の論理レベルを受けて上記第1の出力ラッチの出力信号たる上記第1の出力信号を選択し、その第2の論理レベルを受けて上記第2の出力ラッチの出力信号たる上記第2の出力信号を選択する出力選択回路とを含むものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体集積回路装置に関し、例えば、ダブルデータレートモードを有しつつD L L回路を備えるシンクロナスDRAMならびにその出力位相同期特性の向上及び低消費電力化に利用して特に有効な技術に関する。

【0002】

【従来の技術】 ダイナミック型メモリセルが格子配列されてなるメモリアレイをその基本構成要素とし、所定のクロック信号に従って同期動作するシンクロナスDRAM（ダイナミック型ランダムアクセスメモリ）がある。また、シンクロナスDRAMの中には、クロック信号がハイレベル及びロウレベルとされる期間にそれぞれ別のデータを出力し、結果的にクロック信号の2倍のレートで出力データを出力しうるダブルデータレートモードを有するものがある。

【0003】 一方、位相比較回路と、位相比較回路から出力される位相制御信号に従ってその遅延時間が選択的に切り換えられる可変遅延回路とを含み、内部クロック信号や出力データ等を入力クロック信号に位相同期せしむるいわゆるD L L（ディレイロックドループ）回路がある。また、ダブルデータレートモードを有するシンクロナスDRAMでは、出力データレートの高速性を確保するため、D L L回路により出力データをクロック信号と位相同期させる方法がとられる。

【0004】

【発明が解決しようとする課題】 本願発明者等は、この発明に先立って、ダブルデータレートモードを有しつつD L L回路を備えるシンクロナスDRAMの改良設計に

従事し、次の問題点に気付いた。すなわち、このシンクロナスDRAMは、例えば図6の実施例と同様、非反転クロック信号CLKT及び反転クロック信号CLKBが入力される一对の外部端子T1、つまり非反転クロック信号入力端子CLKT及び反転クロック信号入力端子CLKBと、これらのクロック信号に位相同期された出力データが 出力される外部端子T2、つまりデータ入出力端子DQとを備える。

【0005】外部のクロック発生回路から外部端子T1を介して入力される非反転クロック信号CLKT及び反転クロック信号CLKBは、シンクロナスDRAMが搭載されるパッケージの対応するリードフレームLF1と、対応する一对のポンディングパッドP1及び静電保護回路ESD、ならびにクロックバッファを構成する差動增幅回路DA1とを経た後、反転内部クロック信号ICKB及び非反転内部クロック信号ICKTとなる。また、これらの相補内部クロック信号は、DLL回路DLLの一対のバッファB1及びB2、可変遅延回路VDL、差動增幅回路DA2ならびに NAND (NAND) ゲートNA2及びノア (NOR) ゲートNO2等を経た後、非反転出力クロック信号SCKT及び反転出力クロック信号SCKBとなり、データ出力バッファOBの出力選択回路を構成するクロックドインバータCV1及びCV2の非反転又は反転制御端子に供給される。

【0006】データ出力バッファOBは、出力データの各ビットに対応して設けられる所定数の単位出力バッファを含み、これらの単位出力バッファのそれぞれは、例えば3個のインバータからなり上記クロックドインバータCV1及びCV2の出力信号を NAND ゲートNA1又はノアゲートNO1にそれぞれ伝達する遅延回路と、 NAND ゲートNA1の出力信号を受けるPチャンネル型の出力MOSFET (金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする) P1と、ノアゲートNO1の出力信号を受けるNチャンネル型の出力MOSFETN1とを含む。また、これらの出力MOSFETP1及びN1の共通結合されたドレインは、対応するポンディングパッドP2及びリードフレームLF2を経た後、外部端子T2つまりデータ出力端子DQから外部のデータバスに出力される。

【0007】なお、シンクロナスDRAMを基本素子とする一般的なメモリモジュールにおいて、データバスには、メモリモジュールを構成する他の複数のシンクロナスDRAMの対応するデータ出力端子DQが共通結合され、いわゆる結線論理和形態とされる。また、上記 NAND ゲートNA1及びノアゲートNO1の他方の入力端子には、シンクロナスDRAMごとに逐一的に有効レベルとされる図示されない出力制御信号DOCが供給され、この出力制御信号DOCが無効レベルとされるとき、データ入出力端子DQはハイインピーダンス状態とされ

る。

【0008】一方、このシンクロナスDRAMにおいて、DLL回路は、図9に例示されるように、上記バッファB1及びB2、可変遅延回路VDL、差動增幅回路DA2ならびに NAND ゲートNA2及びノアゲートNO2等に加えて、データ出力バッファOBの単位出力バッファ、及びその出力端子から外部端子T1までの信号経路を模擬するためのダミー単位出力バッファDUOBと、クロックバッファの差動增幅回路DA1、及び外部端子T1からその入力端子までの信号経路を模擬するためのダミー単位入力バッファDUIBとを含む。

【0009】このうち、ダミー単位出力バッファDUOBは、データ出力バッファOBの各単位出力バッファのクロックドインバータCV1及びCV2に対応するクロックドインバータCV3及びCV4を含む出力選択回路と、インバータVI~VM (この明細書では、インバータ等の9を超える追番をアルファベットで表す。以下同様) ならびに容量C2~C3からなる遅延回路とを含み、ダミー単位入力バッファDUIBは、静電保護回路ESDと、クロックバッファCBの差動增幅回路DA1に対応する差動增幅回路DA3とを含む。

【0010】クロックドインバータCV3及びCV4の入力端子には、ダミー単位出力バッファDUOBの出力信号outの論理値を順次交互に反転させるべく、回路の電源電圧及び接地電位がそれぞれ供給され、差動增幅回路DA3の他方の入力端子には、所定の参照電圧VR_EFが供給される。また、ダミー単位出力バッファDUOBの遅延回路を構成する容量C2及びC3の静電容量値は、図示されないレジスタに書き込まれる容量制御信号に従って選択的に切り換えられ、これによってダミー単位出力バッファDUOBの非反転出力クロック信号SCKT及び反転出力クロック信号SCKBに対する遅延時間が、その出力信号outに対するダミー単位入力バッファDUIBの遅延時間も含めて、前記図6に示した正規の伝達経路の遅延時間と同じ値となるよう調整しうるものとされる。

【0011】DLL回路は、さらに、その一方の入力端子に非反転内部クロック信号ICKTを受け、その他の入力端子に上記ダミー単位入力バッファDUIBの出力信号たる内部クロック信号DDSCKを受ける位相比較回路PDと、位相比較回路PDの出力を受けて、非反転内部クロック信号ICKT及び内部クロック信号DDSCK間の位相差に対応した電位のバイアス電圧NB1ASを選択的に生成する図示されないバイアス電圧発生回路とを含む。この結果、可変遅延回路VDLの非反転内部クロック信号ICKT及び反転内部クロック信号ICKBに対する遅延時間は、バイアス電圧発生回路から供給されるバイアス電圧NB1ASに従って選択的に切り換えられ、これによって外部端子T2における出力データの位相が、外部端子T1における非反転クロック信

号CLKT及び反転クロック信号CLKBの位相と同期すべく制御されるものとなる。

【0012】しかしながら、シンクロナスDRAMならばにこれを含むシステムの高速化が進み、シンクロナスDRAMの出力データレートが高速化されるにしたがって、上記のようにダミー単位出力バッファDUOBのインバータVI～VMならびに容量C2及びC3により簡略的に模擬される遅延回路では、その遅延時間と図6の正規の伝達経路の遅延時間との間の誤差が、プロセスバラツキ、温度変化ならびに電源変動等の影響を受けて大きくなり、外部端子T1における非反転クロック信号CLKT及び反転クロック信号CLKBの位相と外部端子T2における出力データの位相とを充分に同期化することが困難となる。

【0013】また、DLL回路のダミー単位入力バッファDUIBを構成する差動増幅回路DA3は、定常的に動作電流を流す差動回路を含み、位相比較回路PDによる位相比較動作も、非反転クロック信号CLKT及び反転クロック信号CLKBのサイクルごとに繰り返されるため、DLL回路としての消費電流が大きくなる。これらの結果、シンクロナスDRAMひいてはこれを含むシステムの高速化が制約を受けるとともに、その低消費電力化が阻害されるものである。

【0014】この発明の目的は、ダブルデータレートモードを有しDLL回路を備えるシンクロナスDRAM等の出力位相同期特性を改善し、そのDLL回路の消費電流を低減することにある。この発明の他の目的は、シンクロナスDRAM等ひいてはこれを含むシステムの高速化及び低消費電力化を図ることにある。

【0015】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、ダブルデータレートモードを有しDLL回路を備えるシンクロナスDRAM等において、DLL回路のダミー単位出力バッファ及びダミー単位入力バッファを、簡略化された遅延回路で模擬せず、正規のデータ出力バッファ及びクロックバッファと実質同一の回路構成とする。

【0017】これにより、プロセスバラツキ、温度変化ならびに電源変動にともなうダミー単位出力バッファ及びダミー単位入力バッファの遅延時間の変化を、正規のデータ出力バッファ及びクロックバッファに合わせ、クロック入力端子におけるクロック信号とデータ出力端子における出力データとの間の位相差を圧縮できる。この結果、シンクロナスDRAM等の出力位相同期特性を改善し、シンクロナスDRAM等ひいてはこれを含むシステムの高速化を図ることができる。

【0018】上記シンクロナスDRAM等において、ダミー単位出力バッファの出力MOSFETを、正規のデータ出力バッファを構成するPチャンネル型及びNチャンネル型出力MOSFETをそれぞれスケールダウンした第1及び第2のMOSFETと、これらのMOSFETにそれぞれ並列形態に設けられ、例えばメタルスイッチによりそれぞれ選択的に有効とされる複数の第3及び第4のMOSFETとにより構成するとともに、ダミー単位出力バッファの出力端子と回路の接地電位との間に、例えばレジスタに書き込まれた容量制御信号に従ってそれぞれ選択的に有効とされる複数の容量を並列形態に設ける。

【0019】これにより、ダミー単位出力バッファ及びダミー単位入力バッファの遅延時間を、正規のデータ出力バッファ及びクロックバッファの遅延時間に合わせてトリミングすることができるため、クロック信号と出力データとの間の位相差をさらに圧縮して、出力位相同期特性をさらに改善し、シンクロナスDRAM等ひいてはこれを含むシステムのさらなる高速化を図ることができる。

【0020】上記シンクロナスDRAM等において、DLL回路のダミー単位入力バッファを、クロックバッファの差動増幅回路と実質同一の遅延特性を有し、定常的な動作電流を必要としないクロックドインバータに置き換える。また、DLL回路の位相比較回路及びダミー遅延回路の前段に、実質的な入力クロック信号及び出力クロック信号を例えれば四分の一に分周して伝達する分周回路をそれぞれ設けるとともに、ダミー単位出力バッファ及びダミー単位入力バッファを含むダミー遅延回路と位相比較回路の動作周期をクロック周期の四分の一とする。

【0021】これにより、定常的に動作電流を必要とする差動増幅回路をダミー単位入力バッファからなくし、その所要動作電流を削減するとともに、その動作周期を四分の一とすることで、DLL回路のダミー単位出力バッファ及びダミー単位入力バッファならびに位相比較回路の所要動作電流を削減して、シンクロナスDRAM等ひいてはこれを含むシステムの低消費電力化を図ることができる。

【0022】

【発明の実施の形態】図1には、この発明が適用されたシンクロナスDRAM(半導体集積回路装置)の一実施例のブロック図が示されている。同図をもとに、まずこの実施例のシンクロナスDRAMの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、特に制限されないが、公知のMOSFET集積回路の製造技術により、単結晶シリコンのような1個の半導体基板面上に形成される。また、シンクロナスDRAMは、他の同様な複数のシンクロナスDRAMとともに、コンピュータシステムのメモリモジュールを構

成する。

【0023】図1において、この実施例のシンクロナスDRAMは、特に制限されないが、4個のバンクBANK0～BANK3を備え、これらのバンクのそれぞれは、図のバンクBANK0に代表して示されるように、そのレイアウト面積の大半を占めて配置されるメモリアレイMARYと、直接周辺回路となるワード線駆動回路WD、ロウアドレスデコーダRD、センスアンプSA、カラムアドレスデコーダCDならびにライトアンプWA及びメインアンプMAとを備える。

【0024】バンクBANK0～BANK3を構成するメモリアレイMARYは、図の垂直方向に平行して配置される所定数のワード線WLと、図の水平方向に平行して配置される所定数組の相補ビット線BL*、すなわち非反転ビット線BLT及び反転ビット線BLB（以下、例えば非反転ビット線BLT及び反転ビット線BLBを、合わせて相補ビット線BL*のように*を付して表す。また、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等については、その名称の末尾にTを付して表し、それが有効とされるとき選択的にロウレベルとされる反転信号等については、その名称の末尾にBを付して表す。以下同様）とをそれぞれ含む。これらのワード線WL及び相補ビット線BL*の交点には、情報蓄積キャパシタ及びアドレス選択MOSFETからなる多数のダイナミック型メモリセルMCが所定の規則性をもってそれぞれ格子配列される。

【0025】バンクBANK0～BANK3のメモリアレイMARYを構成するワード線WLは、対応するワード線駆動回路WDに結合され、それぞれ逐一的に選択状態とされる。各バンクのワード線駆動回路WDには、対応するロウアドレスデコーダRDから所定ビットのワード線選択信号が供給される。また、各バンクのロウアドレスデコーダRDには、ロウアドレスバッファRAから所定ビットの内部Xアドレス信号が共通に供給されるとともに、リフレッシュアドレスカウンタRFCから所定ビットのリフレッシュアドレス信号が共通に供給され、メモリ制御回路CLから図示されない内部制御信号XGが共通に供給される。さらに、ロウアドレスバッファRAには、アドレス入力端子A0～AiからアドレスレジスタARを介して所定ビットのXアドレス信号が供給されるとともに、メモリ制御回路CLから内部制御信号RLが供給される。リフレッシュアドレスカウンタRFCには、メモリ制御回路CLから内部制御信号RCが供給される。

【0026】なお、アドレス入力端子A0～Aiには、2ビットのバンクアドレス信号をそれぞれ含む所定ビットのXアドレス信号及びYアドレス信号が時分割的に供給され、シンクロナスDRAMがモードレジスタセットサイクルとされるときには、所定ビットのモードデータが入力される。このうち、Xアドレス信号は、上記のよ

うにアドレスレジスタARを介してロウアドレスバッファRAに供給され、Yアドレス信号は、カラムアドレスバッファCAに供給される。また、バンクアドレス信号は、バンク選択回路BSに供給され、モードデータは、モードレジスタMRに供給される。バンク選択回路BSには、さらに、メモリ制御回路CLから内部制御信号BLが供給され、カラムアドレスバッファCA及びモードレジスタMRには、内部制御信号RL及びMLがそれぞれ供給される。

10 【0027】バンク選択回路BSは、アドレスレジスタARを介して入力される2ビットのバンクアドレス信号を内部制御信号BLに従って取り込み、保持するとともに、これらのバンクアドレス信号をデコードし、バンク選択信号BS0～BS3の対応するビットを逐一的にハイレベルとする。バンク選択信号BS0～BS3は、対応するバンクBANK0～BANK3にそれぞれ供給され、そのロウアドレスデコーダRD、カラムアドレスデコーダCDならびにセンスアンプSA等を選択的に動作状態とするための選択制御信号となる。

20 【0028】モードレジスタMRは、シンクロナスDRAMがモードレジスタセットサイクルとされるとき、アドレスレジスタARを介して入力されるモードデータを内部制御信号MLに従って取り込み、保持する。また、これらのモードデータをもとにシンクロナスDRAMの動作モードを決定し、対応するモード制御信号を選択的に生成して、メモリ制御回路CLを含む各部に供給する。

【0029】ロウアドレスバッファRAは、シンクロナスDRAMが通常の動作モードとされるとき、外部のア30 クセス装置からアドレス入力端子A0～AiならびにアドレスレジスタARを介して入力される所定ビットのXアドレス信号を内部制御信号RLに従って取り込み、保持するとともに、これらのXアドレス信号をもとに、それぞれが非反転及び反転信号からなる内部Xアドレス信号を形成して、バンクBANK0～BANK3のロウアドレスデコーダRDに供給する。また、リフレッシュアドレスカウンタRFCは、シンクロナスDRAMがリフレッシュモードとされるとき、内部制御信号RCに従って歩進動作を行い、それぞれが非反転及び反転信号から

40 なる所定ビットのリフレッシュアドレス信号を生成して、バンクBANK0～BANK3のロウアドレスデコーダRDに供給する。

【0030】バンクBANK0～BANK3のロウアドレスデコーダRDは、内部制御信号XGがハイレベルとされかつ対応するバンク選択信号BS0～BS3がハイレベルとされることでそれぞれ選択的に動作状態となり、ロウアドレスバッファRAから供給される内部Xアドレス信号、あるいはリフレッシュアドレスカウンタRFCから供給されるリフレッシュアドレス信号をデコードして、ワード線選択信号の対応するビットを逐一的に

ハイレベルとする。ワード線駆動回路WDは、これらのワード線選択信号の逐一的なハイレベルを受けて、メモリアレイMARYの対応するワード線を逐一的に所定の選択レベルとする。

【0031】この実施例において、バンクBANK0～BANK3は、ワード線選択動作をそれぞれ独立に行うことができ、バンクごとに1本ずつ、合計4本のワード線を同時に選択レベルとすることができます。選択ワード線に結合された所定数のメモリセルには、バンクBANK0～BANK3を逐一的に指定しながらカラムアドレスデコーダCDによるカラム選択処理が行われる。

【0032】次に、バンクBANK0～BANK3のメモリアレイMARYを構成する相補ビット線は、対応するセンスアンプSAにそれぞれ結合される。各センスアンプSAには、対応するカラムアドレスデコーダCDから所定ビットのビット線選択信号が供給され、メモリ制御回路CLから図示されない内部制御信号PC及びPAが共通に供給される。カラムアドレスデコーダCDには、カラムアドレスカウンタCCから所定ビットの内部Yアドレス信号が共通に供給され、メモリ制御回路CLから図示されない内部制御信号YGが共通に供給される。カラムアドレスカウンタCCには、アドレス入力端子A0～AiからアドレスレジスタARならびにカラムアドレスバッファCAを介して所定ビットのYアドレス信号が供給される。カラムアドレスバッファCA及びカラムアドレスカウンタCCには、さらにメモリ制御回路CLから内部制御信号CL及びCSが供給される。

【0033】カラムアドレスバッファCAは、外部のアクセス装置からアドレス入力端子A0～AiならびにアドレスレジスタARを介して入力されるYアドレス信号を、内部制御信号CLに従って取り込み、保持するとともに、カラムアドレスカウンタCCに伝達する。カラムアドレスカウンタCCは、所定ビットのバイナリーカウンタを含み、カラムアドレスバッファCAを介して供給されるYアドレス信号を計数初期値として、内部制御信号CSに従った歩進動作を行う。この結果、所定ビットの内部Yアドレス信号を順次形成して、バンクBANK0～BANK3のカラムアドレスデコーダCDに供給する。

【0034】バンクBANK0～BANK3のカラムアドレスデコーダCDは、内部制御信号YGがハイレベルとされかつ対応するバンク選択信号BS0～BS3がハイレベルとされることで逐一的に動作状態となり、カラムアドレスカウンタCCから供給される内部Yアドレス信号をデコードして、センスアンプSAに供給されるビット線選択信号の対応するビットを逐一的にハイレベルとする。

【0035】バンクBANK0～BANK3のセンスアンプSAは、メモリアレイMARYの各相補ビット線に対応して設けられる所定数の単位回路を含み、これらの

単位回路のそれぞれは、Nチャンネル型の3個のプリチャージMOSFETが直並列結合されてなるビット線プリチャージ回路と、一对のCMOS(相補型MOS)インバータが交差結合されてなる単位増幅回路と、Nチャンネル型の一対のスイッチMOSFETとを含む。このうち、各単位回路のビット線プリチャージ回路を構成するプリチャージMOSFETは、内部制御信号PCのハイレベルを受けて選択的にオン状態となり、対応するメモリアレイMARYの各相補ビット線の非反転及び反転信号線を所定の中間電圧にプリチャージする。

【0036】一方、各単位回路の単位増幅回路は、内部制御信号PAがハイレベルとされかつ対応するバンク選択信号BS0～BS3がハイレベルとされることで選択的にかつ一齊に動作状態となり、メモリアレイMARYの選択ワード線に結合される所定数のメモリセルから対応する相補ビット線を介して出力される微小読み出し信号をそれぞれ増幅し、ハイレベル又はロウレベルの2値読み出し信号とする。また、各単位回路のスイッチMOSFETは、ビット線選択信号の対応するビットが逐一的にハイレベルとされることで16組ずつ選択的にオン状態となり、メモリアレイMARYの対応する16組の相補ビット線と相補共通データ線CD0*～CD15*との間をそれぞれ選択的に接続状態とする。

【0037】相補共通データ線CD0*～CD15*は、対応するライトアンプWAの各単位ライトアンプの出力端子にそれぞれ結合されるとともに、対応するメインアンプMAの各単位メインアンプの入力端子にそれぞれ結合される。

【0038】バンクBANK0～BANK3のライトアンプWA及びメインアンプMAは、相補共通データ線CD0*～CD15*に対応して設けられる16個の単位ライトアンプ及び単位メインアンプをそれぞれ含む。このうち、ライトアンプWAの各単位ライトアンプの入力端子は、対応するライトデータバスWDB0～WDB15に共通結合され、メインアンプMAの各単位メインアンプの出力端子は、対応するリードデータバスRDB0～RDB15に共通結合される。ライトアンプWAの各単位ライトアンプには、メモリ制御回路CLから図示されない内部制御信号WEが共通に供給され、メインアンプMAの各単位メインアンプには、図示されない内部制御信号MEが共通に供給される。

【0039】ライトデータバスWDB0～WDB15は、データ入力バッファIBの対応する単位入力バッファの出力端子にそれぞれ結合され、リードデータバスRDB0～RDB15は、データ出力バッファOBの対応する単位出力バッファの入力端子に結合される。データ入力バッファIBの各入力バッファの入力端子ならびにデータ出力バッファOBの各単位出力バッファの出力端子は、対応するデータ入出力端子DQ0～DQ15(第502の外部端子)に共通結合される。データ出力バッファ

OBの各単位出力バッファには、後述するDLL回路DLLから出力クロック信号SCK*が供給され、メモリ制御回路CLから出力ラッチ信号OL1及びOL2ならびに出力制御信号DOCが共通に供給される。

【0040】データ入力バッファIBの各単位入力バッファは、シンクロナスDRAMが書き込みモードで選択状態とされるとき、データ入出力端子DQ0～DQ15を介して入力される16ビットの書き込みデータを取り込み、保持するとともに、ライトデータバスWDB0～WDB15を介して、バンクBANK0～BANK3のライトアンプWAの対応する単位ライトアンプに伝達する。このとき、バンクBANK0～BANK3のライトアンプWAの各単位ライトアンプは、内部制御信号WEがハイレベルとされかつ対応するバンク選択信号BS0～BS3がハイレベルとされることで選択的に動作状態となり、データ入力バッファIBの対応する単位入力バッファから伝達される書き込みデータを相補書き込み信号に変換した後、相補共通データ線CD0*～CD15*ならびにセンスアンプSAを介してメモリアレイMARYの16個の選択メモリセルに書き込む。

【0041】一方、バンクBANK0～BANK3のメインアンプMAの各単位メインアンプは、シンクロナスDRAMが読み出しモードで選択状態とされるとき、内部制御信号MEがハイレベルとされかつ対応するバンク選択信号BS0～BS3がハイレベルとされることで選択的に動作状態となり、メモリアレイMARYの16個の選択メモリセルから相補共通データ線CD0*～CD15*を介して出力される読み出し信号を増幅した後、リードデータバスRDB0～RDB15を介してデータ出力バッファOBの各単位出力バッファに伝達する。

【0042】このとき、データ出力バッファOBの各単位出力バッファは、指定されたバンクBANK0～BANK3のメインアンプMAからリードデータバスRDB0～RDB15を介して伝達される16ビットの読み出しデータを、出力ラッチ信号OL1又はOL2に従って対応する出力ラッチに取り込み、保持する。そして、出力クロック信号SCK*に従ってそのいずれかを選択し、出力制御信号DOCに従ってデータ入出力端子DQ0～DQ15から出力する。

【0043】なお、この実施例のシンクロナスDRAMは、クロック信号つまり非反転クロック信号CLKTがハイレベル（反転クロック信号CLKBがロウレベル）及びロウレベル（反転クロック信号CLKBがハイレベル）とされる期間にそれぞれ別の読み出しデータを出力し、クロック信号の2倍のレートで読み出しデータを出力しうるダブルデータレートモードを有し、リードデータバスRDB0～RDB15にも、クロック信号の2倍のレートで読み出しデータがシリアルに出力されるが、このことについては、データ出力バッファOBの具体的構成及び動作ならびにその出力位相同期特性とともに、

後で詳細に説明する。

【0044】クロックバッファCB（クロック入力回路）は、外部のアクセス装置から外部端子CKEを介して供給されるクロックイネーブル信号CKEと、外部端子CLKT及びCLKB（第1の外部端子）を介して供給されるクロック信号つまり相補クロック信号CLK*とをもとに、相補内部クロック信号ICK*（第1の内部クロック信号）を生成し、メモリ制御回路CL及びDLL回路DLLを含むシンクロナスDRAMの各部に供給する。また、DLL回路DLLは、クロックバッファCBから供給される相補内部クロック信号ICK*をもとに、上記相補クロック信号CLK*と所定の位相関係を有する相補出力クロック信号SCK*（第2の内部クロック信号）を生成し、データ出力バッファOBに供給する。これにより、データ入出力端子DQ0～DQ15には、相補クロック信号CLK*に位相同期された出力データ（出力信号）が出力されるが、このことについては、DLL回路DLLの具体的構成等を含めて、後で詳細に説明する。

【0045】メモリ制御回路CLは、外部のアクセス装置から起動制御信号として供給されるチップ選択信号CSB、ロウアドレスストローブ信号RASB、カラムアドレスストローブ信号CASB、ライトイネーブル信号WEB、データマスク信号DMならびにデータストローブ信号DQSと、クロックバッファCBから供給される相補内部クロック信号ICK*と、モードレジスタMRから供給される各種のモード制御信号とをもとに、上記各種の内部制御信号等を選択的に生成して、シンクロナスDRAMの各部に供給する。

【0046】図2には、図1のシンクロナスDRAMに含まれるデータ出力バッファOBの一実施例の回路図が示されている。同図をもとに、この実施例のシンクロナスDRAMのデータ出力バッファOBならびにその単位出力バッファUOB0～UOB15の具体的構成及び動作について説明する。なお、図2に関する以下の記述では、例示される単位出力バッファUOB0をもって、単位出力バッファUOB0～UOB15を説明する。また、以下の回路図において、そのチャネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。

【0047】図2において、データ出力バッファOBは、リードデータバスRDB0～RDB15ならびにデータ入出力端子DQ0～DQ15に対応して設けられる16個の単位出力バッファUOB0～UOB15を備え、これらの単位出力バッファUOB0～UOB15のそれぞれは、特に制限されないが、図の単位出力バッファUOB0に代表して示されるように、エッジトリガ型の一対の出力ラッチLT1（第1の出力ラッチ）及びLT2（第2の出力ラッチ）を含む。これらの出力ラッチ

L T 1 及び L T 2 のデータ入力端子 D は、対応するリードデータバス R D B 0 に共通結合される。また、出力ラッチ L T 1 のクロック入力端子 C には、メモリ制御回路 C L から出力ラッチ信号 O L 1 が供給され、出力ラッチ L T 2 のクロック入力端子 C には、出力ラッチ信号 O L 2 が供給される。

【0048】なお、出力ラッチ L T 1 及び L T 2 は、特に制限されないが、そのクロック入力端子 C に供給される出力ラッチ信号 O L 1 又は O L 2 のロウレベルからハイレベルへの立ち上がりエッジを受けて、リードデータバス R D B 0 上の読み出しデータを取り込み、保持する。また、出力ラッチ信号 O L 1 は、非反転出力クロック信号 S C K T がハイレベルとされるほぼ中間でロウレベルからハイレベルに変化され、出力ラッチ信号 O L 2 は、非反転出力クロック信号 S C K T がロウレベルとされるほぼ中間でロウレベルからハイレベルに変化される。

【0049】これにより、リードデータバス R D B 0 からクロック信号の 2 倍のレートでシリアルに出力される読み出しデータは、出力ラッチ信号 O L 1 及び O L 2 に従って順次交互に出力ラッチ L T 1 及び L T 2 に取り込まれ、保持される。

【0050】出力ラッチ L T 1 及び L T 2 の非反転出力端子 Q は、クロックドインバータ C V 1 及び C V 2 の入力端子にそれぞれ結合される。クロックドインバータ C V 1 の非反転制御端子には、D L L 回路 D L L から非反転出力クロック信号 S C K T が供給され、その反転制御端子には、反転出力クロック信号 S C K B が供給される。また、クロックドインバータ C V 2 の非反転制御端子には、反転出力クロック信号 S C K B が供給され、その反転制御端子には、非反転出力クロック信号 S C K T が供給される。クロックドインバータ C V 1 及び C V 2 の出力端子は、インバータ V 2 の入力端子に共通結合され、このインバータ V 2 の出力端子は、直列形態とされるインバータ V 3 及び V 4 を介して NAND ゲート N A 1 及びノアゲート N O 1 の一方の入力端子に共通結合される。

【0051】これにより、クロックドインバータ C V 1 及び C V 2 は、インバータ V 2 ~ V 4 とともにいわゆる出力選択回路を構成し、出力クロック信号 S C K * が第 1 の論理レベル、つまり非反転出力クロック信号 S C K T がハイレベルとされ反転出力クロック信号 S C K B がロウレベルとされるとき、第 1 の出力信号、つまり出力ラッチ L T 1 によって保持される読み出しデータを NAND ゲート N A 1 及びノアゲート N O 1 の一方の入力端子に伝達し、出力クロック信号 S C K * が第 2 の論理レベル、つまり非反転出力クロック信号 S C K T がロウレベルとされ反転出力クロック信号 S C K B がハイレベルとされるときには、第 2 の出力信号、つまり出力ラッチ L T 2 によって保持される読み出しデータを、NAND ゲート

N A 1 及びノアゲート N O 1 の一方の入力端子に伝達するものとなる。

【0052】NAND ゲート N A 1 の他方の入力端子には、メモリ制御回路 C L から出力制御信号 D O C が供給され、ノアゲート N O 1 の他方の入力端子には、そのインバータ V 1 による反転信号が供給される。NAND ゲート N A 1 の出力端子は、P チャンネル型の出力 M O S F E T P 1 (第 1 の出力 M O S F E T) のゲートに結合され、ノアゲート N O 1 の出力端子は、N チャンネル型の出力 M O S F E T N 1 (第 2 の出力 M O S F E T) のゲートに結合される。出力 M O S F E T P 1 のソースは、回路の電源電圧 (第 1 の電源電圧) に結合され、出力 M O S F E T N 1 のソースは、回路の接地電位 (第 2 の電源電圧) に結合される。また、これらの出力 M O S F E T P 1 及び N 1 の共通結合されたドレインは、単位出力バッファ U O B 0 の出力端子として、データ入出力端子 D Q 0 に結合される。言うまでもなく、データ入出力端子 D Q 0 は、データ入力バッファ I B の対応する単位入力バッファの入力端子にも共通結合される。

【0053】これらのことから、NAND ゲート N A 1 の出力信号は、出力制御信号 D O C がハイレベルとされ、かつ出力ラッチ L T 1 又は L T 2 の非反転出力信号 Q がハイレベルとされることを条件に選択的にロウレベルとなり、これを受けて出力 M O S F E T P 1 が選択的にオン状態となる。このとき、ノアゲート N O 1 の出力信号は、出力ラッチ L T 1 又は L T 2 の非反転出力信号 Q のハイレベルを受けてロウレベルとなり、これを受けて出力 M O S F E T N 1 がオフ状態となるため、データ入出力端子 D Q 0 にはハイレベルの読み出しデータが出力される。

【0054】一方、ノアゲート N O 1 の出力信号は、出力制御信号 D O C がハイレベル、つまりそのインバータ V 1 による反転信号がロウレベルとされ、かつ出力ラッチ L T 1 又は L T 2 の非反転出力信号 Q がロウレベルとされることを条件に選択的にハイレベルとなり、これを受けて N チャンネル型の出力 M O S F E T N 1 が選択的にオン状態となる。このとき、NAND ゲート N A 1 の出力信号は、出力ラッチ L T 1 又は L T 2 の非反転出力信号 Q がロウレベルであることからハイレベルとなり、これを受けて出力 M O S F E T P 1 がオフ状態となるため、データ入出力端子 D Q 0 にはロウレベルの読み出しデータが出力される。

【0055】この実施例において、データ入出力端子 D Q 0 から出力される読み出しデータの実質的な切り換え信号となる相補出力クロック信号 S C K * は、相補クロック信号 C L K * に対して所定の位相関係を有するものとされ、データ入出力端子 D Q 0 ~ D Q 1 5 における読み出しデータの位相と相補クロック信号 C L K * の位相は同期化されるが、このことについては後で詳細に説明する。

【0056】図3には、図1のシンクロナスDRAMのクロックバッファCB及びDLL回路DLLの一実施例のブロック図が示され、図4には、図3のDLL回路DLLのダミー遅延回路DDLの一実施例の回路図が示されている。また、図5には、図1のシンクロナスDRAMのクロック信号及び出力データの全体的な伝達経路を説明するための一実施例の説明図が示され、図6及び図7には、その正規伝達経路及びダミー伝達経路を説明するための一実施例の説明図がそれぞれ示されている。さらに、図8には、図3のDLL回路DLLの位相ロック時の一実施例の信号波形図が示されている。これらの図をもとに、DLL回路DLLの具体的構成及び動作、クロック信号及び出力データの伝達経路、シンクロナスDRAMの出力位相同期特性ならびにその特徴について説明する。

【0057】なお、図6及び図7には、外部端子T1つまりCLKT及びCLKBからリードフレームLF1、ポンディングパッドP1、静電保護回路ESDならびにクロックバッファCBの差動增幅回路DA1を経てDLL回路DLLの入力端子に至る信号経路と、DLL回路DLLの可変遅延回路VDL、差動增幅回路DA2ならびに NANDゲートNA2 及びノアゲートNO2 等を経て DLL回路DLLの出力端子に至る信号経路とが重複して示される。

【0058】図3において、クロックバッファCBは、差動增幅回路DA1を含む。この差動增幅回路DA1の非反転入力端子には、外部端子CLKTを介して非反転クロック信号CLKTが供給される。また、その反転入力端子には、外部端子CLKBを介して反転クロック信号CLKBが供給され、その制御端子には、外部端子CKEを介してクロックイネーブル信号CKEが供給される。差動增幅回路DA1の反転及び非反転出力端子における出力信号は、反転内部クロック信号ICKB及び非反転内部クロック信号ICKTとしてDLL回路DLLに供給されるとともに、シンクロナスDRAMの図示されない各部に供給される。

【0059】この実施例において、クロックバッファCBの差動增幅回路DA1は、一対の差動MOSFETと、該差動MOSFETに所定の動作電流を定常的に与える電流源とを含む。そして、外部端子CLKTを介して入力される非反転クロック信号CLKTのレベルと、外部端子CLKBのレベルとを比較増幅する。差動回路の非反転及び反転出力信号は、クロックイネーブル信号CKEによってゲート制御された後、非反転内部クロック信号ICKT及び反転内部クロック信号ICKBとなる。

【0060】なお、外部端子T1つまり非反転クロック信号入力端子CLKT及び反転クロック信号入力端子CLKBを介して入力される相補クロック信号CLK*つまり非反転クロック信号CLKT及び反転クロック信号

CLKBは、特に制限されないが、図8に示されるように、その周期をt_{cy}とするデューティ50%のパルス信号とされる。また、クロックバッファCBの出力信号たる相補内部クロック信号ICK*つまり非反転内部クロック信号ICKT及び反転内部クロック信号ICKBは、図6及び図8から明らかのように、上記外部端子T1における非反転クロック信号CLKT及び反転クロック信号CLKBから、外部端子T1及びポンディングパッドP1を結合するリードフレームLF1（ポンディングワイヤを含む）ならびに静電保護回路ESD及びクロックバッファCBの差動增幅回路DA1の合計遅延時間t_d1分だけ遅れたパルス信号とされる。

【0061】次に、図3のDLL回路DLLは、特に制限されないが、バッファB1及びB2を介して上記クロックバッファCBの出力信号たる反転内部クロック信号ICKB及び非反転内部クロック信号ICKTを受ける可変遅延回路VDLを含む。この可変遅延回路VDLには、バイアス電圧発生回路BVGからバイアス電圧NBIASが供給され、その非反転及び反転出力信号は、ナンドゲートNA2及びノアゲートNO2の一方の入力端子にそれぞれ供給される。

【0062】ナンドゲートNA2の他方の入力端子には、非反転イネーブル信号ENTが供給され、ノアゲートNO2の他方の入力端子には、反転イネーブル信号ENBが供給される。また、ナンドゲートNA2の出力信号は、直列形態とされる4個のインバータV5～V8を経た後、非反転出力クロック信号SCKTとなり、ノアゲートNO2の出力信号は、同じく直列形態とされる4個のインバータV9～VCを経た後、反転出力クロック信号SCKBとなる。

【0063】この実施例のDLL回路DLLは、さらに、非反転内部クロック信号ICKTを受けて、その周波数を四分の一、つまりその周期を4倍に分周した内部クロック信号DICKT（第6の内部クロック信号）を生成する分周回路DIV1と、DLL回路DLLの出力信号たる非反転出力クロック信号SCKT及び反転出力クロック信号SCKBを受けて、その周波数を四分の一、つまりその周期を4倍に分周した非反転内部クロック信号DSCKT及び反転内部クロック信号DSCKB（第5の内部クロック信号）を生成する分周回路DIV2とを含む。

【0064】このうち、分周回路DIV1の出力信号たる内部クロック信号DICKTは、位相比較回路PDの一方の入力端子に供給され、分周回路DIV2の出力信号たる非反転内部クロック信号DSCKT及び反転内部クロック信号DSCKBは、ダミー遅延回路DDLに供給される。このダミー遅延回路DDLの出力信号たる内部クロック信号DSCCK（第4の内部クロック信号）は、位相比較回路PDの他方の入力端子に供給される。

50 また、位相比較回路PDの出力信号たる位相制御信号

は、チャージポンプ回路C Pに供給され、チャージポンプ回路C Pの出力信号は、上記バイアス電圧発生回路B V Gに供給される。

【0065】D L L回路D L Lの可変遅延回路V D Lは、クロックバッファC BからバッファB 1及びB 2を介して供給される相補内部クロック信号I C K *を、バイアス電圧N B I A Sの電位に応じて決まる遅延時間だけ遅延させて差動増幅回路D A 2に伝達する。この差動増幅回路D A 2の相補出力信号は、非反転イネーブル信号E N T及びハイレベルつまり反転イネーブル信号E N Bのロウレベルを受けて選択的に伝達状態となる NANDゲートN A 2及びノアゲートN O 2から、インバータV 5～V 8ならびにV 9～V Cを介して伝達され、非反転出力クロック信号S C K T及び反転出力クロック信号S C K Bとなる。

【0066】これにより、相補出力クロック信号S C K *つまり非反転出力クロック信号S C K T及び反転出力クロック信号S C K Bは、図8に示されるように、相補内部クロック信号I C K *つまり非反転内部クロック信号I C K T及び反転内部クロック信号I C K Bから、D L L回路D L LのバッファB 1及びB 2、可変遅延回路V D L、差動増幅回路D A 2、 NANDゲートN A 2及びノアゲートN O 2、インバータV 5～V 8ならびにV 9～V Cの合計遅延時間t d 2分だけ位相が遅れた同一周波数のパルス信号となる。また、外部端子T 2つまりデータ入出力端子D Q 0～D Q 1 5には、非反転出力クロック信号S C K Tがハイレベルとされ反転出力クロック信号S C K Bがロウレベルとされてから、図6のデータ出力バッファO Bと、ボンディングパッドP 2及び外部端子T 2間のリードフレームL F 2（ボンディングワイヤを含む）とを含む信号経路の合計遅延時間t d 3が経過した時点で、対応する読み出しデータd o r等が出力される。

【0067】一方、分周回路D I V 1の出力信号たる内部クロック信号D I C K Tは、相補内部クロック信号I C K *つまり非反転内部クロック信号I C K T及び反転内部クロック信号I C K Bから、分周回路D I V 1の遅延時間t d 4だけ位相が遅れた四分の一の周波数のパルス信号となる。また、分周回路D I V 2の出力信号たる相補内部クロック信号D S C K *つまり非反転内部クロック信号D S C K T及び反転内部クロック信号D S C K Bは、相補出力クロック信号S C K *つまり非反転出力クロック信号S C K T及び反転出力クロック信号S C K Bから、分周回路D I V 2の遅延時間t d 5だけ位相が遅れた四分の一の周波数のパルス信号となる。なお、この実施例において、分周回路D I V 1の遅延時間t d 4と分周回路D I V 2の遅延時間t d 5は同じ値となるよう設計される。

【0068】次に、D L L回路D L Lのダミー遅延回路D D Lは、図4に示されるように、ダミー単位出力バッ

ファD U O B（ダミー出力回路）及びダミー単位入力バッファD U I B（ダミー入力回路）を含む。このうち、ダミー単位出力バッファD U O Bは、その入力端子に回路の電源電圧を受けるクロックドインバータC V 3とその入力端子に回路の接地電位を受けるクロックドインバータC V 4とを含む。クロックドインバータC V 3の非反転制御端子には、分周回路D I V 2から非反転内部クロック信号D S C K Tが供給され、その反転制御端子には、反転内部クロック信号D S C K Bが供給される。また、クロックドインバータC V 4の非反転制御端子には、反転内部クロック信号D S C K Bが供給され、その反転制御端子には、非反転内部クロック信号D S C K Tが供給される。

【0069】クロックドインバータC V 3及びC V 4の共通結合された出力端子は、直列形態とされるインバータV D～V Fを介して NANDゲートN A 3及びノアゲートN O 3の一方の入力端子に共通結合される。 NANDゲートN A 3の他方の入力端子には、回路の電源電圧が供給され、ノアゲートN O 3の他方の入力端子には、回路の接地電位が供給される。 NANDゲートN A 3の出力端子は、PチャンネルM O S F E T P 2（第1のダミーM O S F E T）のゲートに結合されるとともに、PチャンネルM O S F E T P 3（第3のダミーM O S F E T）のゲートに結合される。また、ノアゲートN O 3の出力信号は、NチャンネルM O S F E T N 2（第2のダミーM O S F E T）のゲートに結合されるとともに、NチャンネルM O S F E T N 3（第4のダミーM O S F E T）のゲートに結合される。

【0070】出力M O S F E T P 2のソースは、回路の電源電圧に結合され、出力M O S F E T N 2のソースは、回路の接地電位に結合される。これらの出力M O S F E T P 2及びN 2の共通結合されたドレインと回路の接地電位との間には、容量C 1が設けられる。また、出力M O S F E T P 2及びN 2の共通結合されたドレインの電位は、ダミー単位出力バッファD U O Bの出力信号o u t（第3の内部クロック信号）として、ダミー単位入力バッファD U I Bに供給される。

【0071】ダミー単位入力バッファD U I Bは、特に制限されないが、静電保護回路E S Dと、2個のクロックドインバータC V 5及びC V 6と、回路の電源電圧及びクロックドインバータC V 6の出力端子間に設けられるPチャンネルM O S F E T P 6とを含む。このうち、PチャンネルM O S F E T P 4及びP 5ならびにNチャンネルM O S F E T N 4及びN 5からなるクロックドインバータC V 5は、イネーブル信号E Nのハイレベルを受けて選択的に伝達状態とされる。また、クロックドインバータC V 6は、その非反転制御端子に回路の電源電圧が供給されその反転制御端子に回路の電源電圧のインバータV Hによる反転信号、つまりロウレベルが供給されることで常に伝達状態とされ、M O S F E T P 6は、

そのゲートが回路の電源電圧に結合されることで常にオフ状態とされる。

【0072】これらのことから、ダミー単位出力バッファDUOBのクロックドインバータCV3は、非反転内部クロック信号DSCKTのハイレベルつまり反転内部クロック信号DSCKBのロウレベルを受けて選択的に伝達状態となり、 NANDゲートNA3及びノアゲートNO3の一方の入力端子にハイレベルの出力データを伝達する。また、クロックドインバータCV4は、非反転内部クロック信号DSCKTのロウレベルつまり反転内部クロック信号DSCKBのハイレベルを受けて選択的に伝達状態となり、 NANDゲートNA3及びノアゲートNO3の一方の入力端子にロウレベルの出力データを伝達する。

【0073】この結果、ダミー単位出力バッファDUOBの出力端子には、その出力信号outとして、相補内部クロック信号DSCK*の論理レベルが変わることに交互にハイレベル及びロウレベルとなるパルス信号が出力される。ダミー単位出力バッファDUOBの出力信号outは、ダミー単位入力バッファDUIBを構成する静電保護回路ESDならびにクロックドインバータCV5及びCV6を経て内部クロック信号DDSCKとなり、位相比較回路PDに供給される。

【0074】なお、DLL回路DLLの出力信号たる内部クロック信号DDSCKIは、分周回路DIV2の出力信号たる相補内部クロック信号DSCK*つまり非反転内部クロック信号DSCKT及び反転内部クロック信号DSCKBから、ダミー単位出力バッファDUOB及びダミー単位入力バッファDUIBを含むダミー遅延回路DDLの合計遅延時間td6だけ位相が遅れたパルス信号となる。

【0075】位相比較回路PDは、分周回路DIV1の出力信号たる内部クロック信号DICKTと、 DLL回路DLLの出力信号たる内部クロック信号DDSCKの位相を比較して、両者の位相差に対応した位相制御信号をチャージポンプ回路CPに出力し、チャージポンプ回路CPは、位相比較回路PDから供給される位相制御信号に従って、内部クロック信号DICKT及びDDSCKの位相差に対応した電位の電圧信号を生成する。この電圧信号は、バイアス電圧発生回路BVGを経てバイアス電圧NBIASとなり、可変遅延回路VDLに供給される。

【0076】これにより、可変遅延回路VDLの遅延時間がバイアス電圧NBIASに従って制御され、結果的に外部端子T1つまり非反転クロック信号入力端子CLKT及び反転クロック信号入力端子CLKBにおける非反転クロック信号CLKT及び反転クロック信号CLKBの位相と、外部端子T2つまりデータ入出力端子DQ0～DQ15における出力データの位相が同期化される。

【0077】この実施例において、ダミー単位出力バッファDUOBを構成するクロックドインバータCV3及びCV4は、データ出力バッファOBの単位出力バッファUOB0～UOB15を構成するクロックドインバータCV1及びCV2と同一のサイズで形成され、同一の遅延特性を有する。また、インバータVD～VFは、単位出力バッファUOB0～UOB15を構成するインバータV2～V4とそれぞれ同一の遅延特性を有し、 NANDゲートNA2及びノアゲートNO2は、 NANDゲートNA1及びノアゲートNO1と同一の遅延特性を有する。

【0078】一方、ダミー単位出力バッファDUOBを構成する出力MOSFETP2及びN2は、単位出力バッファUOB0～UOB15を構成する出力MOSFETP1及びN1をスケールダウン、つまりそのサイズを所定の割合で小さくして形成される。また、MOSFETP3及びN3は、比較的小さなサイズの複数のMOSFETを並列結合することにより構成され、容量C1も、比較的小さな静電容量値の複数の容量を並列結合することにより構成される。MOSFETP3及びN3となる複数のMOSFETは、メタルスイッチ、つまり対応する所定の金属配線層が選択的に形成されることでそれぞれ選択的に有効とされ、これによってNANDゲートNA3及びノアゲートNO3に対する負荷容量値をトリミングすることができる。また、容量C1となる複数の容量は、所定のレジスタに書き込まれた容量制御信号の対応するビットに従ってそれぞれ選択的に有効とされ、これによって容量C1の静電容量値もトリミングすることができる。

【0079】同様に、ダミー単位入力バッファDUIBを構成する静電保護回路ESDは、図6及び図7のボンディングパッドP1の後段、つまりクロックバッファCBの差動増幅回路DAの前段に設けられる静電保護回路ESDと同一の遅延特性を持つべく形成される。また、ダミー単位入力バッファDUIBのクロックドインバータCV5及びCV6は、実際の回路形態は異なるものの、クロックバッファCBの差動増幅回路DA1と同一の遅延特性を持つべく形成され、上記のように、イネーブル信号ENに従って選択的に動作状態とされる。

【0080】以上の結果、この実施例のシンクロナスDRAMでは、MOSFETP3及びN3の実効サイズ及び容量C1の静電容量値のトリミングにより、ダミー遅延回路DDLとしての遅延時間td6、つまりダミー遅延回路DDLの入力信号たる相補内部クロック信号DSCK*とその出力信号たる内部クロック信号DDSCKとの間の位相差を、所定値となるべく制御することができるとともに、この遅延時間td6のプロセスバラツキ、温度変化ならびに電源変動等にともなう変化を、正規伝達経路の変化に充分近づけることができるものとなる。

【0081】この実施例のシンクロナスDRAMにおいて、DLL回路DLLが設けられる目的は、外部端子T1つまり非反転クロック信号入力端子CLKT及び反転クロック信号入力端子CLKBにおける非反転クロック信号CLKT及び反転クロック信号CLKBの位相と、外部端子T2つまりデータ入出力端子DQ0～DQ15における出力データの位相とを同期化することにある。両者の位相が同期化されたいわゆる位相ロック時において、分周回路DIV1から位相比較回路PDの一方の入力端子に供給される内部クロック信号DICKTの位相は、図8に示されるように、DLL回路DLLから位相比較回路PDの他方の入力端子に供給される内部クロック信号DDSCKの位相と一致することが必要条件とされるとともに、その周期は、入力クロック信号つまり相補クロック信号CLK*の周期の4倍、つまり $4 \times t_{cy}$ と一致することが必要条件とされる。

【0082】図5及び図6から明らかなように、クロック信号及び出力データの正規伝達経路Aは、外部端子T1つまり非反転クロック信号入力端子CLKT及び反転クロック信号入力端子CLKBから、ボンディングワイヤ

$$t_{dA} = t_{d1} + t_{d2} + t_{d3}$$

であり、この正規伝達経路Aの合計遅延時間 t_{dA} は、相補クロック信号CLK*の周期 t_{cy} と自然数nとに對して、

$$t_{dA} = n \times t_{cy}$$

となることが位相ロック時の必要条件となる。

【0084】一方、図5及び図7から明らかなように、クロックバッファCBの出力信号たる相補内部クロック信号ICK*は、伝達経路B、つまり分周回路DIV1を経て相補内部クロック信号DSCCK*となり、位相比較回路PDの一方の入力端子に伝達される。また、相補内部クロック信号ICK*は、ダミー伝達経路C、つまりDLL回路DLLの可変遅延回路VDL、差動增幅回路DAならびに遅延回路DL1と、分周回路DIV2と、ダミー遅延回路DDLのダミー単位出力バッファDUOBのクロックドインバータCV3及びCV4、インバータVD～VFからなる遅延回路DL2、出力MOSFETP2及びN2を含むデータ出力バッファOBD、

$$t_{dC} = t_{d2} + t_{d5} + t_{d6}$$

であり、位相ロック時に、この合計遅延時間 t_{dC} は、

$$t_{dC} = 4 \times t_{cy} + t_{dB}$$

$$= 4 \times t_{cy} + t_{d4}$$

となる。

$$t_{dC} = t_{d1} + t_{d2} + t_{d3} + t_{d4} \dots (1)$$

となる。

【0087】前述のように、分周回路DIV1の遅延時間 t_{d4} と分周回路DIV2の遅延時間 t_{d5} は、同じ

$$t_{d6} = t_{d1} + t_{d3} \dots (2)$$

つまり、外部端子T1からクロックバッファCBを経てDLL回路DLLの入力端子に至る信号経路の遅延時間

を含むリードフレームLF1、ボンディングパッドP1ならびにクロックバッファCBの差動增幅回路DA1と、DLL回路DLLの可変遅延回路VDL、差動增幅回路DA2ならびに NANDゲートNA2 及びノアゲートNO2を含む遅延回路DL1と、データ出力バッファOBの各単位出力バッファのクロックドインバータCV1及びCV2、インバータV2～V4を含む遅延回路DL5ならびに出力MOSFETP1及びN1からなるバッファと、データ出力バッファOBの出力端子からボンディングパッドP2、ボンディングワイヤを含むリードフレームLF2ないし外部端子T2つまりデータ入出力端子DQ0～DQ15とに至る信号経路となる。

【0083】したがって、正規伝達経路Aの合計遅延時間 t_{dA} は、外部端子T1からクロックバッファCBを経てDLL回路DLLの入力端子に至る入力信号経路の遅延時間 t_{d1} と、DLL回路DLLの可変遅延回路VDLの遅延時間 t_{d2} と、DLL回路DLLの出力端子からデータ出力バッファOBを経て外部端子T2つまりデータ入出力端子DQ0～DQ15に至る出力信号経路の遅延時間 t_{d3} とを加えた時間、すなわち、

$$\dots \dots \dots (1)$$

ならびに容量C1を含む遅延回路DL3と、ダミー単位入力バッファDUIBの静電保護回路ESD及びクロックドインバータCV5を含む遅延回路DL4、ならびにクロックドインバータCV6とを経て内部クロック信号DDSCKとなり、位相比較回路PDの他方の入力端子に伝達される。

【0085】したがって、上記位相ロックの条件が成立するためには、ダミー伝達経路Cにおける合計遅延時間30から伝達経路Bの遅延時間を差し引いた値が、相補クロック信号CLK*の周期 t_{cy} の4倍と一致することが必要条件となる。言うまでもなく、伝達経路Bの遅延時間 t_{dB} は、分周回路DIV1の遅延時間 t_{d4} となる。また、ダミー伝達経路Cの合計遅延時間 t_{dC} は、DLL回路DLLの可変遅延回路VDL、差動增幅回路DA2ならびに遅延回路DL1の遅延時間 t_{d2} に、分周回路DIV2の遅延時間 t_{d5} と、ダミー遅延回路DLの遅延時間 t_{d6} とを加えた時間、すなわち、

$$\dots \dots \dots (2)$$

【0086】ダミー伝達経路Cの合計遅延時間 t_{dC} は、位相ロック時、前記(1)式の自然数nを4としたときの正規伝達経路Aの合計遅延時間 t_{dA} と一致するため、合計遅延時間 t_{dC} に関する上記(2)式は、

$$\dots \dots \dots (3)$$

値となるように設計される。このため、上記(2)式及び(3)式から、ダミー遅延回路DDLの遅延時間 t_{d6} は、

$$\dots \dots \dots (4)$$

t_{d1} と、DLL回路DLLの出力端子からデータ出力バッファOBを経て外部端子T2つまりデータ入出力端

子DQ0～DQ15に至る信号経路の遅延時間 t_{d3} を加えた時間と同じ値であることが、DLL回路DLLの位相ロックの必要条件となる。

【0088】この実施例において、ダミー遅延回路DDLのダミー単位出力バッファDUOBを構成するクロックドインバータCV3及びCV4、インバータVD～VFならびに NANDゲートNA2及びノアゲートNO2は、データ出力バッファOBの単位出力バッファUOB0～UOB15を構成するクロックドインバータCV1及びCV2、インバータV2～V4ならびに NANDゲートNA1及びノアゲートNO1と同一のサイズで形成され、同一の遅延特性を有する。また、ダミー単位出力バッファDUOBの出力MOSFETP2及びN2は、単位出力バッファUOB0～UOB15の出力MOSFETP1及びN1をスケールダウンした形で形成され、MOSFETP3及びN3は、対応するメタルスイッチに従って選択的に有効とされるそれぞれ複数のMOSFETからなる。

【0089】さらに、ダミー単位入力バッファDUIBを構成する静電保護回路ESDは、クロックバッファCBの差動増幅回路DAの前段に設けられる静電保護回路ESDと同一の遅延特性を持つべく形成され、クロックドインバータCV5及びCV6は、実際の回路形態は異なるものの、クロックバッファCBの差動増幅回路DA1と同一の遅延特性を持つべく形成される。

【0090】これらのことから、この実施例のシンクロナスDRAMでは、ダミー遅延回路DDLとしての遅延時間 t_{d6} を、MOSFETP3及びN3ならびに容量C1のトリミングによって制御し、上記(4)式の条件を比較的容易に実現することができるとともに、この遅延時間 t_{d6} のプロセスバラツキ、温度変化ならびに電源変動等にともなう変化を、正規伝達経路、つまり上記遅延時間 t_{d1} 及び t_{d3} の変化に充分近づけることができる。この結果、DLL回路DLL及びこれを含むシンクロナスDRAMの出力位同期特性を改善し、シンクロナスDRAMひいてはこれを含むシステムの高速化を図ることができる。

【0091】ところで、この実施例のシンクロナスDRAMでは、前記したように、DLL回路DLLのダミー単位入力バッファDUIBが、クロックバッファCBの差動増幅回路DA1と実質同一の遅延特性を有し、定常的な動作電流を必要としないクロックドインバータCV5に置き換えられる。また、DLL回路DLLの位相比較回路PDの前段に、相補内部クロック信号ICK*の周期を四分の一に分周するための分周回路DIV1が設けられるとともに、DLL回路DLLのダミー遅延回路DDLの前段に、相補出力クロック信号SCK*の周期を四分の一に分周するための分周回路DIV2が設けられ、ダミー遅延回路DDL及び位相比較回路PDの動作周期がクロック周期の四分の一に削減される。

【0092】このため、定常的に動作電流を必要とする差動増幅回路をDLL回路DLLのダミー遅延回路DDLのダミー単位入力バッファDUIBからなくし、その所要動作電流を削減できるとともに、各回路の動作周期を四分の一とすることで、ダミー遅延回路DDL及び位相比較回路の所要動作電流を削減して、シンクロナスDRAMひいてはこれを含むシステムの低消費電力化を図ることができる。

【0093】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) ダブルデータレートモードを有しDLL回路を備えるシンクロナスDRAM等において、DLL回路のダミー単位出力バッファ及びダミー単位入力バッファを、簡略化された遅延回路で模擬せず、正規のデータ出力バッファ及びクロックバッファと実質同一の回路構成とすることで、プロセスバラツキ、温度変化ならびに電源変動にともなうダミー単位出力バッファ及びダミー単位入力バッファの遅延時間の変化を、正規のデータ出力バッファ及びクロックバッファに合わせて、クロック入力端子におけるクロック信号とデータ出力端子における出力データとの間の位相差を圧縮できるという効果が得られる。

【0094】(2) 上記(1)項により、DLL回路及びこれを含むシンクロナスDRAM等の出力位同期特性を改善し、シンクロナスDRAM等ひいてはこれを含むシステムの高速化を図ることができるという効果が得られる。

【0095】(3) 上記(1)項及び(2)項において、ダミー単位出力バッファの出力MOSFETを、正規のデータ出力バッファを構成するPチャンネル型及びNチャンネル型出力MOSFETをそれぞれスケールダウンした第1及び第2のMOSFETと、これらの出力MOSFETにそれぞれ並列形態に設けられ、例えばメタルスイッチによりそれぞれ選択的に有効とされる複数のMOSFETからなる第3及び第4のMOSFETとにより構成するとともに、ダミー単位出力バッファの出力端子と回路の接地電位との間に、例えばレジスタに書き込まれた容量制御信号に従ってそれぞれ選択的に有効とされる複数の容量を並列形態に設けることで、ダミー遅延回路を構成するダミー単位出力バッファ及びダミー単位入力バッファの遅延時間を、正規のデータ出力バッファ及びクロックバッファの遅延時間に合わせてトリミングすることができるという効果が得られる。

【0096】(4) 上記(3)項により、クロック信号と出力データとの間の位相差をさらに圧縮して、DLL回路及びこれを含むシンクロナスDRAM等の出力位同期特性をさらに改善し、シンクロナスDRAM等ひいてはこれを含むシステムのさらなる高速化を図ることができるという効果が得られる。

【0097】(5) 上記(1)項ないし(4)項におい

て、D L L回路のダミー単位入力バッファを、クロックバッファの差動増幅回路と実質同一の遅延特性を有し、定常的な動作電流を必要としないクロックドインバータに置き換えるとともに、D L L回路の位相比較回路及びダミー遅延回路の前段に、実質的な入力クロック信号及び出力クロック信号を例えば四分の一に分周して伝達する分周回路をそれぞれ設け、ダミー単位出力バッファ及びダミー単位入力バッファを含むダミー遅延回路と位相比較回路の動作周期をクロック周期の四分の一とすることで、定常的に動作電流を必要とする差動増幅回路をダミー単位入力バッファからなくし、その所要動作電流を削減できるとともに、その動作周期を四分の一とすることで、D L L回路のダミー単位出力バッファ及びダミー単位入力バッファならびに位相比較回路の所要動作電流を削減できるという効果が得られる。

【0098】(6) 上記(5)項により、シンクロナスD R A M等ひいてはこれを含むシステムの低消費電力化を図ることができるという効果が得られる。

【0099】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、シンクロナスD R A Mは、任意数のバンクを備えることができるし、各バンクのメモリアレイM A R Yは、その周辺回路を含めて複数のメモリマット又はサブアレイに分割することができる。また、シンクロナスD R A Mは、 $\times 8$ ビット又は $\times 32$ ビット等任意のビット構成をとりうるし、ダブルデータレートモードを有することを必須条件ともしない。シンクロナスD R A Mのブロック構成や起動制御信号及び内部制御信号の名称及び有効レベルならびに電源電圧の極性等は、本実施例に制約されることなく種々の実施形態をとりうる。

【0100】図2において、データ出力バッファO Bは、例えば多ビット試験のためのテスト回路を含むことができるし、そのブロック構成は任意である。また、単位出力バッファU O B 0～U O B 1 5の具体的な回路構成やM O S F E Tの導電型ならびに各制御信号の有効レベル等は、種々の実施形態をとりうる。

【0101】図3において、分周回路D I V 1及びD I V 2の分周比は、任意の値に設定することができるし、D L L回路D L Lのブロック構成も、種々の実施形態をとりうる。図4において、M O S F E T P 3及びN 3ならびに容量C 1のトリミング方法は、任意の組み合わせ及び方法をとりうる。また、ダミー単位出力バッファD U O BのM O S F E T P 3及びN 3を含む出力バッファ段は、正規伝達経路を構成する出力バッファ段と完全に同一の構成としてもよいし、ダミー単位入力バッファD U I BのクロックドインバータC V 6も、クロックバッファC Bの差動増幅回路D A 1と同一構成としてもよ

い。図8において、各信号の絶対的な時間及びレベル関係は、本発明に何ら制約を与えるものではない。

【0102】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるシンクロナスD R A Mに適用した場合について説明したが、それに限定されるものではなく、例えば、同様なD L L回路を備える各種のメモリ集積回路装置及び論理集積回路装置、ならびにこのような集積回路を含むコンピュータシステム等の各種システムにも適用できる。この発明は、少なくともD L L回路を具備する半導体集積回路装置ならびにこのような半導体集積回路装置を含む装置又はシステムに広く適用できる。

【0103】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、ダブルデータレートモードを有しD L L回路を備えるシンクロナスD R A M等の半導体集積回路装置において、D L L回路のダミー単位出力バッファ及びダミー単位入力バッファを、簡略化された遅延回路で模擬せず、正規のデータ出力バッファ及びクロックバッファと実質同一の回路構成とする。

【0104】これにより、プロセスバラツキ、温度変化ならびに電源変動にともなうダミー単位出力バッファ及びダミー単位入力バッファの遅延時間の変化を、正規のデータ出力バッファ及びクロックバッファに合わせ、クロック入力端子におけるクロック信号とデータ出力端子における出力データとの間の位相差を圧縮できる。この結果、シンクロナスD R A M等の出力位相同期特性を改善し、シンクロナスD R A M等ひいてはこれを含むシステムの高速化を図ることができる。

【0105】上記シンクロナスD R A M等において、ダミー単位出力バッファの出力M O S F E Tを、正規のデータ出力バッファを構成するPチャンネル型及びNチャンネル型出力M O S F E Tをスケールダウンした第1及び第2のM O S F E Tと、これらの出力M O S F E Tにそれぞれ並列形態に設けられ、例えばメタルスイッチによりそれぞれ選択的に有効とされる複数のM O S F E Tからなる第3及び第4のM O S F E Tとにより構成するとともに、ダミー単位出力バッファの出力端子と回路の

40 接地電位との間に、例えばレジスタに書き込まれた容量制御信号に従ってそれぞれ選択的に有効とされる複数の容量を並列形態に設ける。

【0106】これにより、ダミー単位出力バッファ及びダミー単位入力バッファの遅延時間を、正規のデータ出力バッファ及びクロックバッファの遅延時間に合わせてトリミングすることができるため、クロック信号と出力データとの間の位相差をさらに圧縮して、出力位相同期特性をさらに改善し、シンクロナスD R A M等ひいてはこれを含むシステムのさらなる高速化を図ることができる。

【0107】上記シンクロナスDRAM等において、DLL回路のダミー単位入力バッファを、クロックバッファの差動増幅回路と実質同一の遅延特性を有し、定常的な動作電流を必要としないクロックドインバータに置き換える。また、DLL回路の位相比較回路及びダミー遅延回路の前段に、実質的な入力クロック信号及び出力クロック信号を例えれば四分の一に分周して伝達する分周回路をそれぞれ設けるとともに、ダミー単位出力バッファ及びダミー単位入力バッファを含むダミー遅延回路と位相比較回路の動作周期をクロック周期の四分の一とする。

【0108】これにより、定常的に動作電流を必要とする差動増幅回路をダミー単位入力バッファからなくし、その所要動作電流を削減できるとともに、その動作周期を四分の一とすることで、DLL回路のダミー単位出力バッファ及びダミー単位入力バッファならびに位相比較回路の所要動作電流を削減して、シンクロナスDRAM等ひいてはこれを含むシステムの低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】この発明が適用されたシンクロナスDRAMの一実施例を示すブロック図である。

【図2】図1のシンクロナスDRAMのデータ出力バッファの一実施例を示す回路図である。

【図3】図1のシンクロナスDRAMのクロックバッファ及びDLL回路の一実施例を示すブロック図である。

【図4】図3のDLL回路のダミー遅延回路の一実施例を示す回路図である。

【図5】図1のシンクロナスDRAMのクロック信号及び出力データの全体的な伝達経路を説明するための一実施例を示す説明図である。

【図6】図5の伝達経路のうち、クロック信号及び出力データの正規伝達経路を説明するための一実施例を示す説明図である。

【図7】図5の伝達経路のうち、クロック信号及び出力データのダミー伝達経路を説明するための一実施例を示す説明図である。

【図8】図1のシンクロナスDRAMのDLL回路の位相ロック時の実施例を示す信号波形図である。

【図9】この発明に先立って本願発明者等が開発したシンクロナスDRAMのクロック信号及び出力データの伝達経路を説明するための一例を示す説明図である。

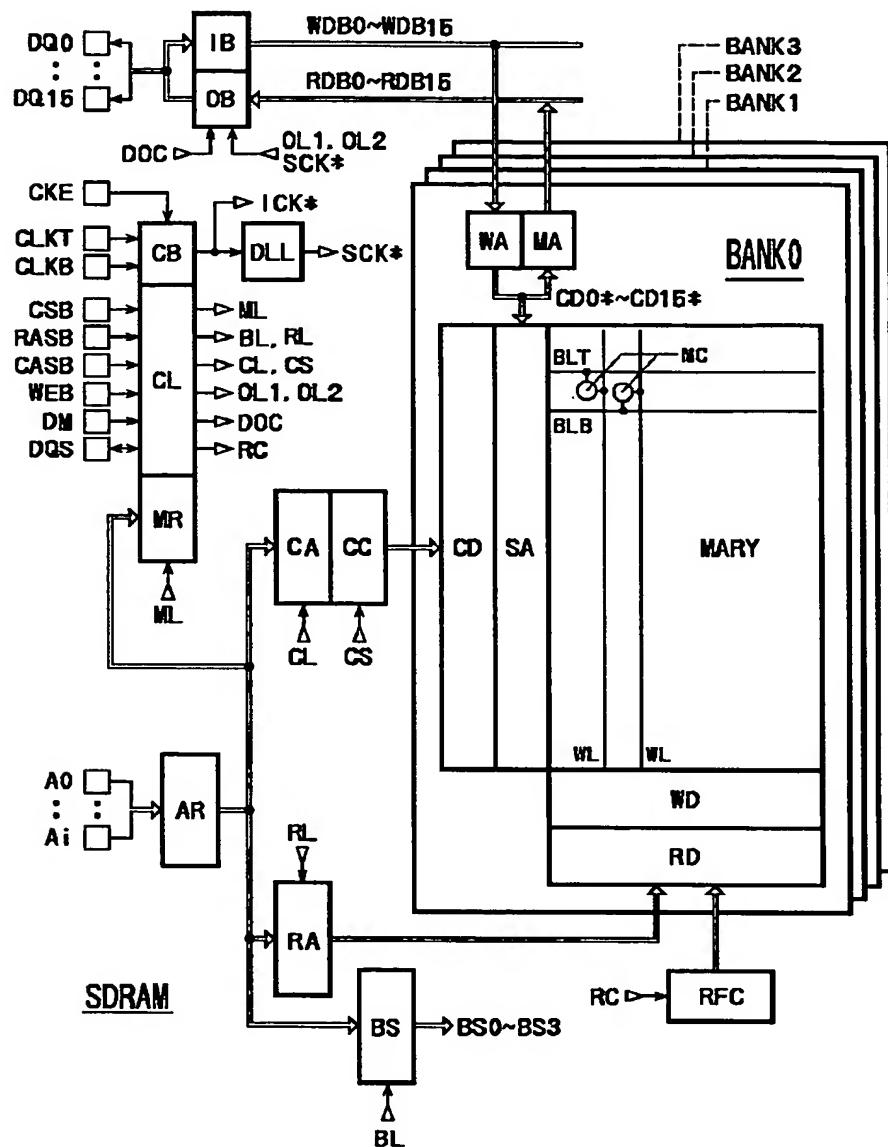
【符号の説明】

SDRAM……シンクロナスDRAM、BANK0～BANK3…バンク、MARRY…メモリアレイ、WL…ワード線、BLT…非反転ピット線、BLB…反転ピット線、MC…ダイナミック型メモリセル、WD…ワード線駆動回路、RD…ロウアドレスデコーダ、RA…ロウア

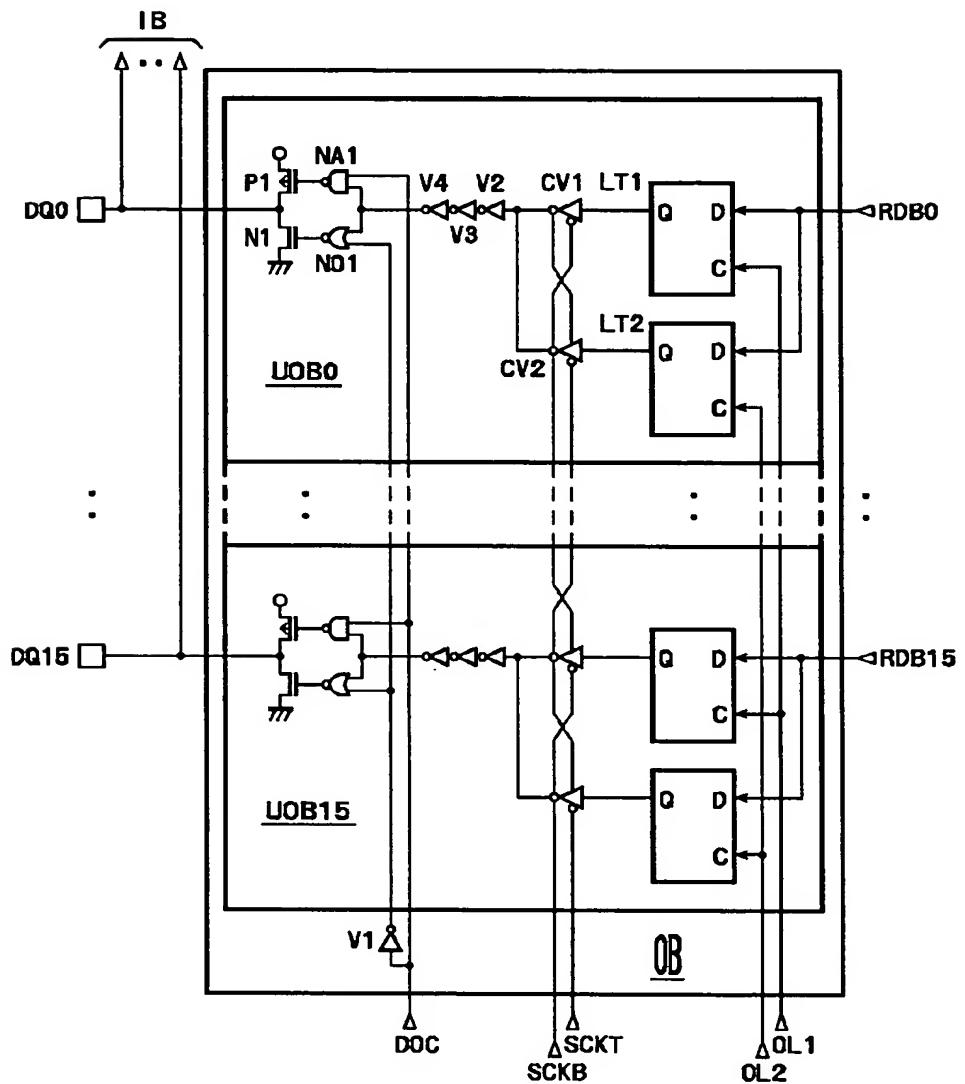
ドレスバッファ、RFC…リフレッシュアドレスカウンタ、BS…バンク選択回路、SA…センスアンプ、CD…カラムアドレスデコーダ、CC…カラムアドレスカウンタ、CA…カラムアドレスバッファ、AR…アドレスレジスタ、MR…モードレジスタ、WA…ライトアンプ、MA…メインアンプ、IB…データ入力バッファ、OB…データ出力バッファ、CB…クロックバッファ、DLL…DLL回路、CL…メモリ制御回路、DQ0～DQ15…入力又は出力データあるいはその入出力端子、CKE…クロックイネーブル信号又はその入力端子、CLKT…非反転クロック信号又はその入力端子、CLKB…反転クロック信号又はその入力端子、CSB…チップ選択信号又はその入力端子、RASB…ロウアドレスストローブ信号又はその入力端子、CASB…カラムアドレスストローブ信号又はその入力端子、WEB…ライトイネーブル信号又はその入力端子、DM…データマスク信号又はその入力端子、DQS…データストローブ信号又はその入出力端子、A0～Ai…アドレス信号又はその入力端子、ICK*…相補内部クロック信号、SCK*…相補出力クロック信号、DOC…出力制御信号、OL1～OL2…出力ラッチ信号、RDB0～RDB15…リードデータバス、UOB0～UOB15…単位出力バッファ、LT1～LT2…出力ラッチ、SCKT…非反転出力クロック信号、SCKB…反転出力クロック信号、DA1～DA3…差動増幅回路、B1～B2…バッファ、DIV1～DIV2…1/4分周回路、DDL…ダミー遅延回路、PD…位相比較回路、CP…チャージポンプ回路、BVG…バイアス電圧発生回路、NBIAS…バイアス電圧、VDL…可変遅延回路、DSCKT, DSCKB, DDSCK, DSCKT…内部クロック信号、ENT, ENB, EN…イネーブル信号、DUOB…ダミー単位出力バッファ、DUIB…ダミー単位入力バッファ、out…ダミー単位出力バッファの出力信号、PKG…パッケージ、CHIP…半導体基板、A～C…伝達経路、RT1～RT2…終端抵抗、T1～T2…パッケージ外部端子(ピン)、LF1～LF2…リードフレーム、P1～P2…ボンディングパッド、CB…バス容量、RDB…リードデータバス、WDB…ライトデータバス、LT1out, LT2out…出力ラッチの出力信号、cyp～cyr…クロックサイクル、tcy…クロックサイクルタイム、td1～td6…遅延時間、doq～dor…出力データ、P1～P6…PチャンネルMOSFET、N1～N5…NチャンネルMOSFET、V1～VM…インバータ、CV1～CV5…クロックドインバータ、NA1～NA2… NANDゲート、NO1～NO2…ノアゲート、C1～C3…容量、ESD…静電保護回路、VTT…バス電源電圧。

【図1】

図1 シンクロナスDRAMのブロック構成

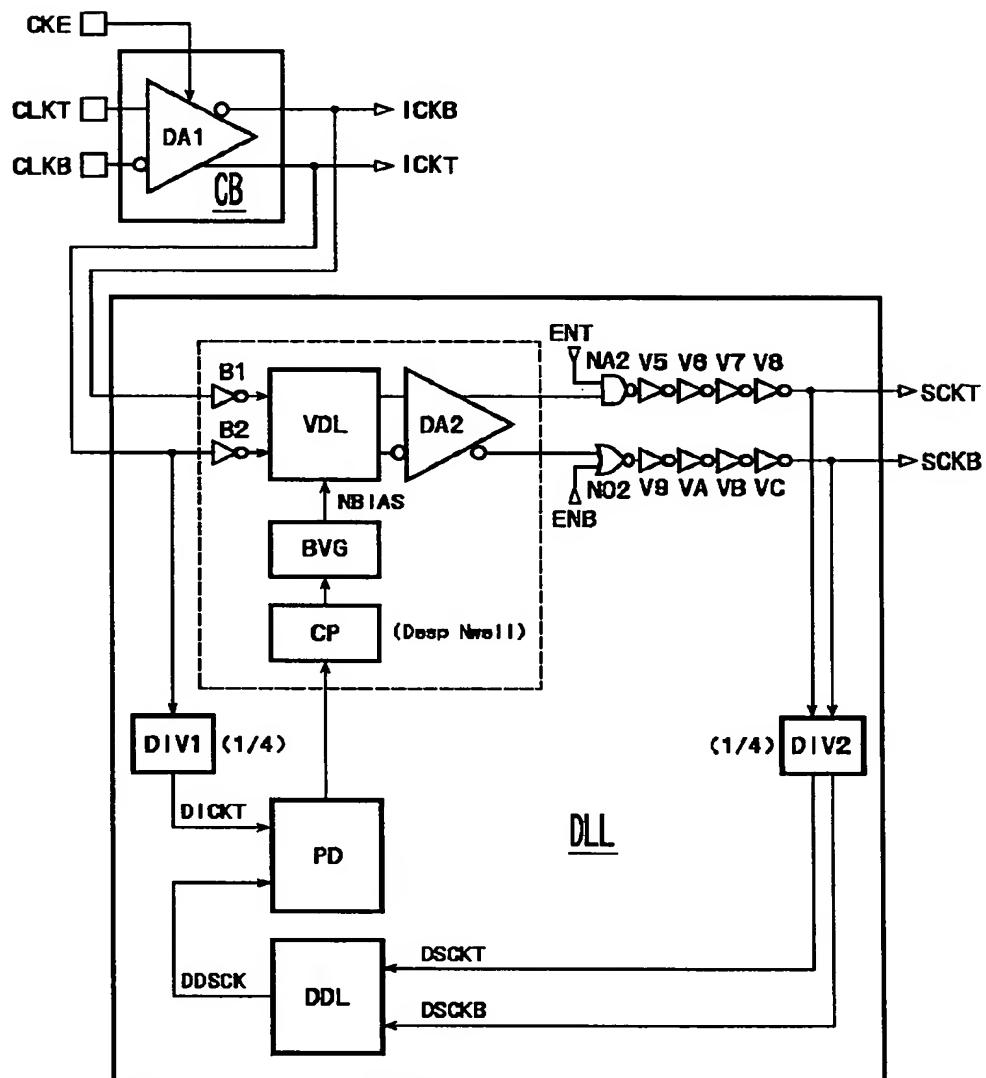


【図2】

図2 データ出力バッファの回路構成

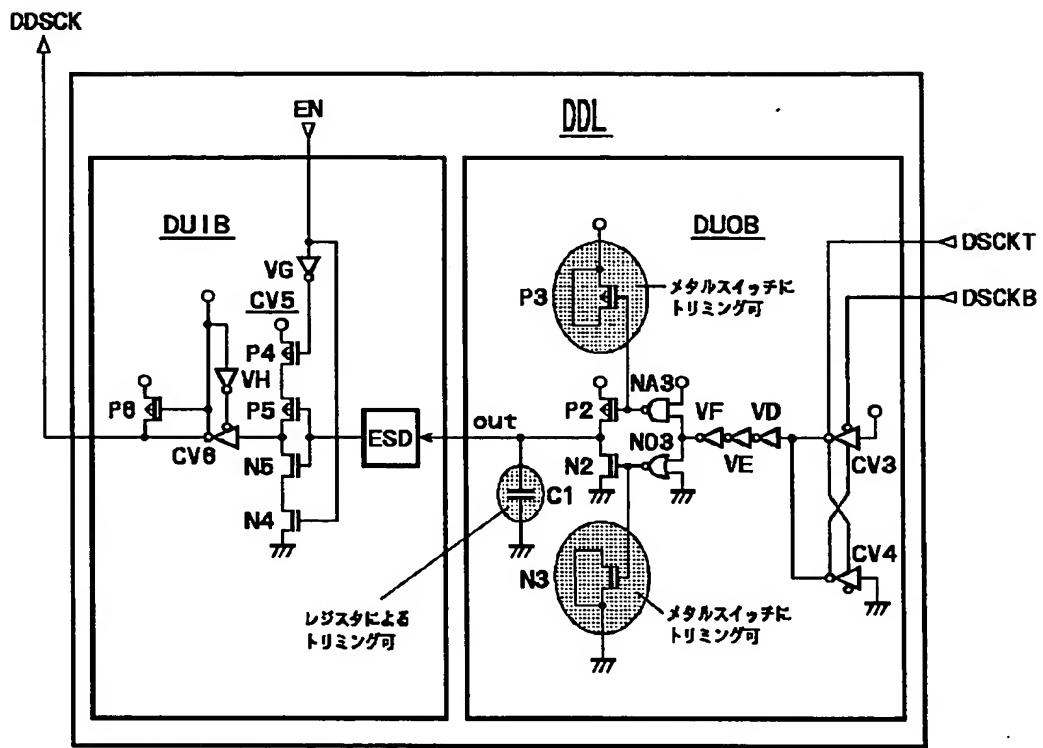
【図3】

図3 クロックバッファ及びDLL回路のブロック構成



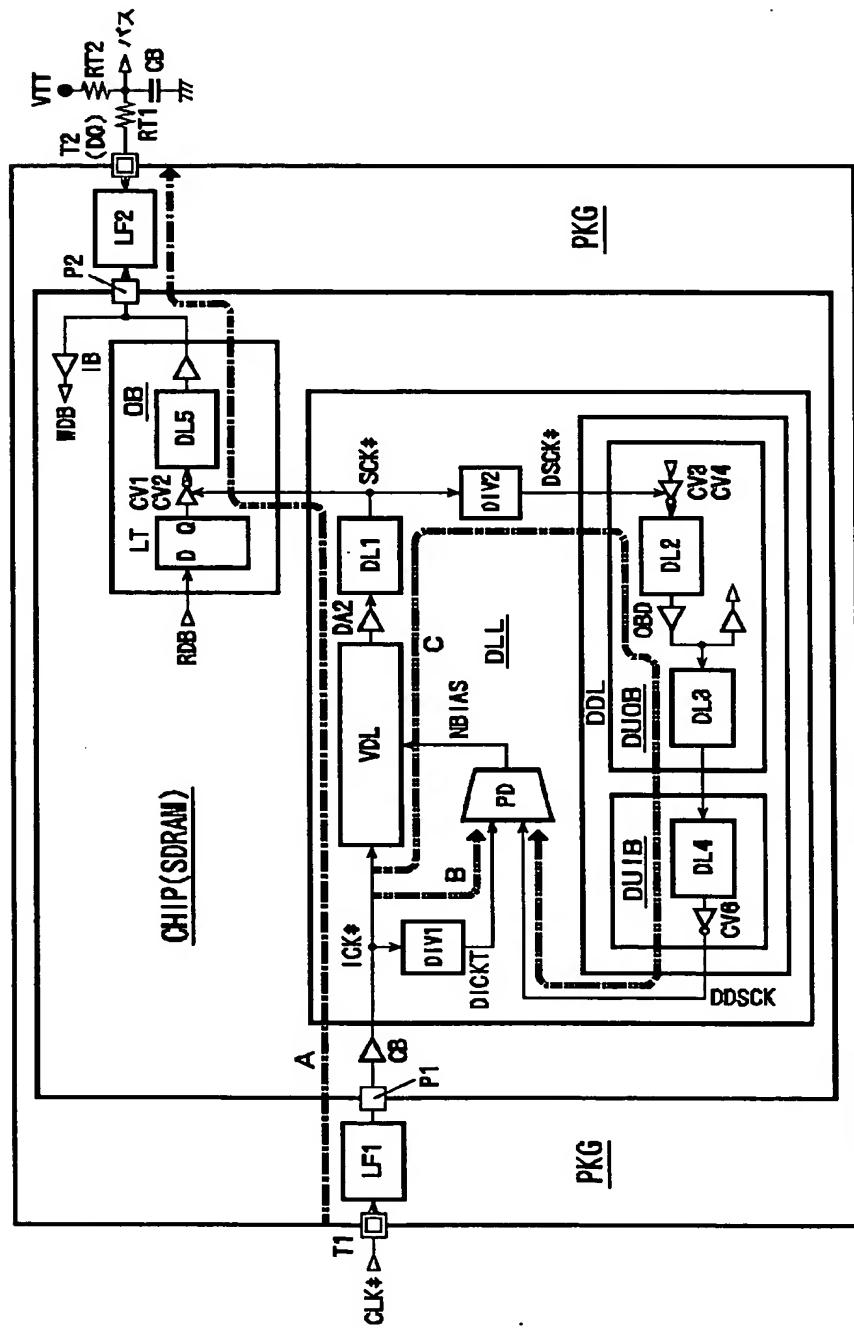
[図4]

図4 ダミー遅延回路の回路構成



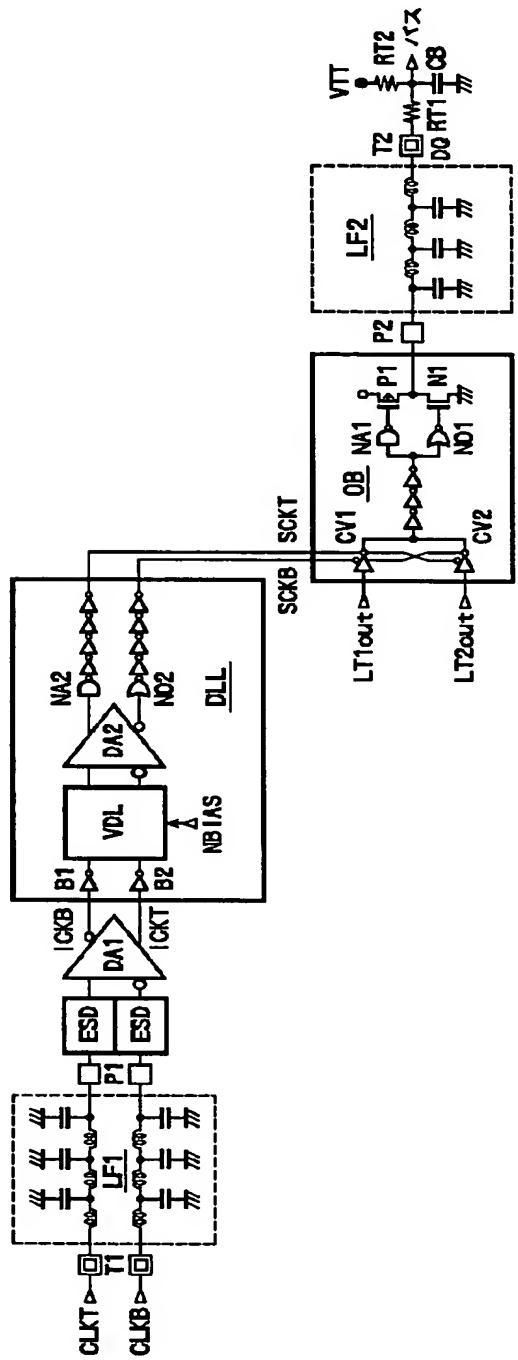
[図5]

図5 クロック信号及び出力データの伝達経路

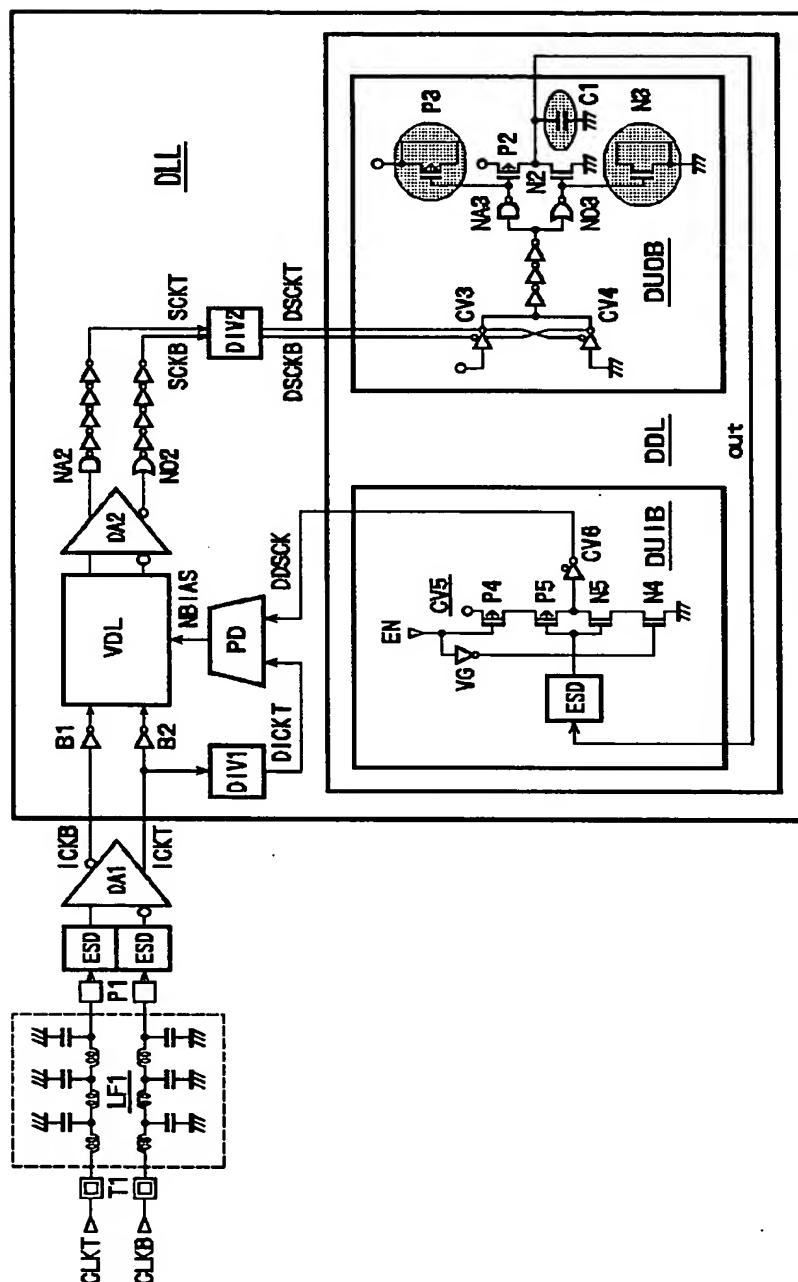


[図6]

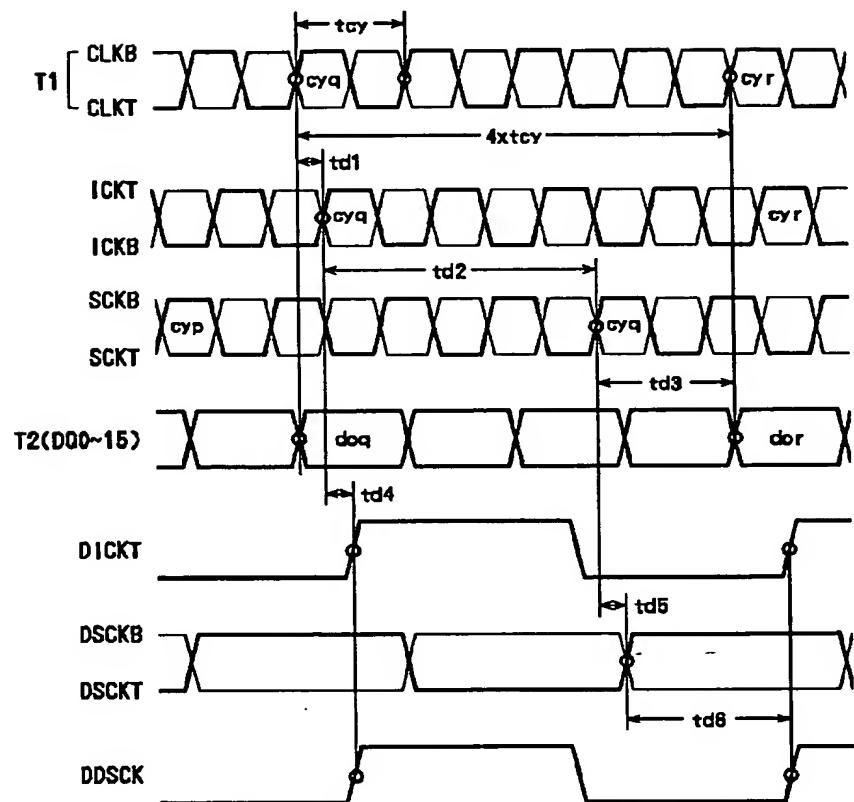
図6 クロック信号及び出力データの正規伝達経路



【図7】

図7 クロック信号及び出力データのダミー伝達経路

【図8】

図8 DLL回路の信号波形（位相ロック時）

$$td4 = td5$$

$$4x tcy = td1 + td2 + td3 = (td2 + td5 + td6) - td4 = td2 + td6$$

$$td6 = td1 + td3$$

[図9]

図9 クロック信号及び出力データのダミー伝達経路

